

**Descriptif de l'UE**

Nombre de crédits de l'UE

6 ECTS

Semestre où l'enseignement est proposé

M1 S2

**a) Objectifs de l'Unité d'Enseignement**

Cette UE traite de l'implémentation de systèmes numériques sur plates-formes reconfigurables FPGA, et aborde en particulier la conception conjointe matérielle/logicielle sur ces plates-formes. Les thèmes abordés sont la modélisation VHDL comportementale, le développement d'IP matérielles, et la conception de SOPC (System on a Programmable Chip). Ces aspects seront appliqués dans le cadre d'un mini-projet.

**b) Contenu de l'Unité d'Enseignement**

Cours : VHDL RTL (4h)

Notion d'IP matérielle : découpage partie opérative / partie contrôle(4h)

FPGA : architectures, technologies, applications (2h)

Microprocesseur softcore embarqué (2h)

Interconnect / Bus embarqués (AMBA, AXI..., FSL, PLB) (4h)

Interaction processeur/périphériques – Mapping mémoire (4h)

TP : Prise en main du flot de conception SOPC

Projet SOPC (Développement d'une chaîne de mesure : Capteur température, NIOS, IP Timer,

Actionneur)

**c) Pré-requis**

Bases en VHDL et en architecture des processeurs

**d) Modalités de contrôle des Connaissances**

Examen écrit (50%) et rapport de projet (50%)

**Organisation pédagogique**

Enseignements présentsiels	Volume horaire total	Horaire hebdomadaire	Effectif par groupe
Cours	20		
Enseignements dirigés			
Travaux pratiques	40		12 max